



PTO/SB/21 (01-03)

Approved for use through 04/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

**TRANSMITTAL
FORM**

(to be used for all correspondence after initial filing)

Application Number	10/717,781
Filing Date	November 20, 2003
First Named Inventor	Martin Ostermayr
Art Unit	
Examiner Name	
Attorney Docket Number	LLP101US

Total Number of Pages in This Submission

ENCLOSURES (Check all that apply)

<input type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance Communication to Group
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Remarks	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual	Thomas G. Eschweiler, Eschweiler & Associates, LLC National City Bank Building, 629 Euclid Avenue, Suite 1210 Cleveland, OH 44114
Signature	
Date	December 12, 2003

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date: December 12, 2003

Typed or printed	Christine Gillroy		
Signature		Date	December 12, 2003

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**




Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 54 155.8

Anmeldetag: 20. November 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Maskenprogrammierbares ROM-Bauelement und
Verfahren zu dessen Herstellung

IPC:  G 11 C 17/08

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 25. November 2003
Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag



Stech

Beschreibung

Maskenprogrammierbares ROM-Bauelement und Verfahren zu dessen Herstellung

5

Die Erfindung betrifft ein Halbleiterspeicher-Bauelement, insbesondere ein Festwertspeicher-Bauelement, insbesondere ein maskenprogrammierbares ROM-Bauelement und ein Verfahren zum Herstellen eines derartigen Bauelements.

10

Zur Informationsspeicherung in digitalen Systemen werden Halbleiterspeicher, also Halbleiter-Bauelemente mit zumindest einer Speicherzelle verwendet. Entsprechend der Art der Informationsspeicherung und den verschiedenen Möglichkeiten,

15

die Information einzuschreiben und auszulesen, werden die Halbleiterspeicher in Klassen unterteilt. Bewahrt der Speicher die Information, auch wenn die Versorgungsspannung abgeschaltet ist, so spricht man von einem nicht-flüchtigen Speicher (Festwertspeicher), wie beispielsweise einem ROM (Read

20

Only Memory). Zur Klasse der flüchtigen Speicher gehören die statischen und die dynamischen Speicher, beispielsweise SRAM (Static Random Access Memory) oder DRAM (Dynamic Random Access Memory). Diese flüchtigen Speicherbauelemente können nach der Herstellung in freier Weise beschrieben und ausgelesen werden.

25

Im Gegensatz dazu können die nicht-flüchtigen Speicherbauelemente nach der Herstellung im allgemeinen nicht beschrieben werden und im wesentlichen nur zum Lesen benutzt werden.

30

Lesespeicher (ROM) werden in digitalen Systemen verwendet, um Konstanten, Kontrollinformationen und Programminstruktionen zu speichern. Die Speicherung erfolgt dadurch, indem an Kreuzungspunkten von Wort- und Bitleitungen Transistoren, die Verbindungen zwischen den Wort- und Bitleitungen herstellen,

35

vorhanden oder nicht vorhanden sind. Diese MOS (Metal Oxide Semiconductor)-Transistoren sind matrixförmig in einem Speicherfeldbereich des ROM-Bauelements angeordnet.

- Die Zellen für ein MOS-ROM-Bauelement (Metal Oxide Semiconductor Read-only-Memory) benötigen nur einen Transistor für ein zu speicherndes Bit. Bei einer möglichen Ausführung wird bei einem n-Kanaltransistor der Source-Bereich an Masse ("low potential") angeschlossen. Zur Speicherung eines Bits ("high" oder "low potential") wird ein elektrischer Kontakt an den Drain-Bereich des Transistors gesetzt um die elektrische Verbindung zwischen dem Transistor und der Bitleitung (BL) zu gewährleisten. Wird nun die Wortleitung (WL), die das Gate des Transistors darstellt, geöffnet, kann "low potential" vom Source-Bereich zum Drain-Bereich fließen und über die Bitleitung gelesen werden. Dadurch ist die 1-Bit ROM-Speicherzelle auf den logischen Zustand "0" programmiert. Um das "high potential" zu programmieren, wird der elektrische Kontakt zwischen dem Drain-Bereich des Transistors und der Bitleitung weggelassen. Die Bitleitung ist daher undefiniert und die 1-Bit ROM-Speicherzelle ist auf den zweiten logischen Zustand "1" programmiert.
- Entsprechend der Komplexität des Systems reicht der Speicherbedarf von nur einigen Bits bis zu vielen Milliarden Bits. Wird relativ wenig Speicherplatz benötigt, werden die Speicher als Module neben Datenpfaden und Kontroll-Logik auf einem Chip integriert. Für große Mengen von zu speichernder Information werden Standardbausteine hergestellt. Beurteilungskriterien für Speicherbausteine sind Kosten (und damit Komplexität), schneller Zugriff auf Daten, Verlustleistung und Zuverlässigkeit.
- Lesespeicher (Festwertspeicher) beziehungsweise ROM-Bauelemente unterscheiden sich dadurch, ob die Information während des Herstellungsprozesses oder nach der Herstellung durch elektrische Pulse eingeschrieben wird. Die im Stand der Technik betrachteten ROM-Bauelemente, bei denen die Information während der Herstellung eingeschrieben wird, werden als Masken-ROM-Bauelemente bezeichnet. Abhängig von der Art der Datencodierung während der Herstellung, werden die Masken-

ROMs als Diffusions-Typ, als Kontakt-Typ oder als Via-Kontakt-Typ klassifiziert. Beim Diffusions-Typ erfolgt die Programmierung dadurch, dass an den Kreuzungspunkten zwischen den Wort- und Bitleitungen entsprechend der zu speichernden Information Transistoren oder keine Transistoren realisiert werden. Die Kodierung bzw. Programmierung erfolgt daher bereits zu einem sehr frühen Stadium. Nachfolgend sind bei diesem Typ noch viele Prozessschritte bis zur Fertigstellung des Speicher-Bauelements notwendig und folglich resultiert bei diesem Typ eine hohe „turn-around-time“. Damit wird diejenige Zeitdauer bezeichnet, die benötigt wird, um nach dem Erhalt der spezifischen Programmierungswünsche des ROMs vom Kunden, das maskenprogrammierbare ROM fertig hergestellt an den Kunden zu liefern. Beim Kontakt-Typ wird die Programmierung der Speicherzellen durch Ausbilden oder Weglassen eines elektrischen Kontakts zwischen dem Speicherzellen-Transistor und der in der ersten Metallisierungsebene über dem Speicherzellen-Transistor angeordneten Bitleitung durchgeführt. Bei dem Via-Kontakt-Typ wird die Programmierung in eine höhere Metallisierungsebene verlagert. Aufgrund der erforderlichen anderen Anordnung der Wort- und Bitleitungen ist der Flächenbedarf bei dem Via-Kontakt-Typ und dem Kontakt-Typ jedoch größer als bei dem Diffusions-Typ. Die Information dieser als Masken-ROMs ("Mask-programmable ROM") bezeichneten Speicher-Bauelemente ist später nicht mehr löschar und nicht mehr überschreibbar.

Bei maskenprogrammierbaren ROMs ist es besonders erwünscht, die sogenannte „turn-around-time“ (TAT) oder „cycle-time“ so kurz wie möglich zu halten. Ein stetiges Bestreben besteht darin, diese „turn-around-time“ zu verkürzen. Zugleich ist es erwünscht, den Platzbedarf der Speicherzellen zu minimieren.

Aus der Patentschrift US 5,959,877 ist ein maskenprogrammierbares ROM-Bauelement bekannt, bei dem die Programmierung in der zweiten, dritten oder einer höheren Metallisierungsebene durchgeführt werden kann. Die Transistoren sind in dem Spei-

cherzellenfeld matrixförmig in Zeilen und Spalten angeordnet. Die in einer Zeile angeordneten Transistoren sind mit der gleichen Wortleitung verbunden. Die in Spalten nebeneinander angeordneten Transistoren sind mit ihren Gate-Anschlüssen mit verschiedenen Wortleitungen verbunden. Lediglich die dem Rand des Speicherzellenfeldes zugewandten Diffusionsgebiete der beiden äußeren Transistoren einer Spalte sind mit Massepotential verbunden. Die restlichen, jeweils zwei Transistoren zugeordneten Diffusionsgebiete, können mit den darüber angeordneten Bitleitungen kontaktiert werden. Die Transistoren werden daher in Reihe zwischen den Potentialen der Wortleitungen geschaltet und die Diffusionsgebiete benachbarter Transistoren mit mehreren Potentialknoten verbunden. Zwar kann durch die Verlagerung der Programmierung in eine höhere Metallisierungsebene die „cycle time“ relativ klein gehalten werden, aber der Platzbedarf für die aufwändige Gestaltung und der Verlauf der Wort- und Bitleitungen des Schaltungskonzepts ist sehr groß.

Bei maskenprogrammierbaren ROM-Zellenfeldern werden Wortleitungen allgemein aus Polysilizium hergestellt. Da Polysiliziumleitungen einen hohen Widerstandswert aufweisen, ist es vorteilhaft, die Signale auf diesen Polysiliziumleitungen durch eine zusätzliche Leitung in einer Metallisierungslage zu verstärken bzw. an die erforderliche Signalstärke anzupassen, besonders wenn ein Speicherzellenfeld eine sehr hohe Anzahl an Speicherzellen aufweist und ein Potentialabfall entlang der an einer Wortleitung hängenden Transistoren dadurch unvermeidlich ist.

Eine derartige Anordnung von Leitungen zum Zeilenauswahl-Potentialangleich ist in Fig. 1 gezeigt. Die Fig. 1 zeigt zwei Speicherzellen-Transistoren, die in einer Spalte eines Speicherzellenfeldes benachbart angeordnet sind. Die erste Speicherzelle weist einen ersten Speicherzellen-Transistor auf, der mit seinem Gate G1 mit einer ersten Wortleitung W1 verbunden ist. Über seinen Drain-Anschluss D1 wird dieser er-

ste Speicherzellen-Transistor über einen Kontakt K, ein erstes Kontaktpad P1 in einer ersten Metallisierungsebene, einer ersten Via-Verbindung V1, ein zweites Kontaktpad P2 in einer zweiten Metallisierungsebene und einer zweiten Via-Verbindung V2 mit einer Bitleitung BL kontaktiert bzw. auf einen ersten Zustand programmiert. Ein Source-Bereich SO ist dem ersten und dem zweiten Speicherzellen-Transistor zugeordnet. Der zweite Speicherzellen-Transistor ist analog dem ersten Speicherzellen-Transistor aufgebaut. Die Trennlinien TL bezeichnen die Grenzen einer Speicherzelle und kennzeichnen jeweils eine Einheitszelle. Zur Angleichung des Massepotenzials, an dem der Source-Bereich SO anliegt, ist eine Masse-Potenzialangleich-Leitung PAM ausgebildet, mit der der Source-Bereich SO kontaktierbar ist. Zur Zeilenauswahl-Potenzialangleichung weist jede Speicherzelle eine eigene elektrische Zeilenauswahl-Potenzialangleich-Leitung PAW1 bzw. PAW2 auf, wobei beide Zeilenauswahl-Potenzialangleich-Leitungen PAW1 und PAW2 in einer Metallisierungsebene oberhalb der Bitleitung BL ausgebildet sind. Diese Zeilenauswahl-Potenzialangleich-Leitungen PAW1 und PAW2 werden daher erst nach dem Programmieren der Speicherzellen erzeugt, wodurch der Herstellungsprozess des maskenprogrammierbaren ROMs und damit die „cycle time“ verlängert wird.

Aufgabe der Erfindung ist es, ein Halbleiterspeicher-Bauelement und ein Verfahren zu dessen Herstellung zu schaffen, bei dem der Flächenbedarf und die „turn around time“ minimiert werden. Insbesondere soll dabei die Programmierung in einem möglichst späten Stadium des Fertigungsprozesses erfolgen und gleichzeitig die Anordnung der Wort- und Bitleitungen, besonders der Zeilenauswahl-Potenzialangleich-Leitungen, optimiert werden.

Diese Aufgabenstellung wird durch ein Halbleiterspeicher-Bauelement, welches die Merkmale nach Patentanspruch 1 aufweist, und ein Verfahren zum Herstellen eines derartigen

Halbleiterspeicher-Bauelements nach Patentanspruch 11, gelöst.

Ein erfindungsgemäßes Halbleiterspeicher-Bauelement weist einen ersten und einen zweiten Speicherzellen-Transistor und eine erste und eine zweite Zeilenauswahl-Potenzialangleich-Leitung auf. Der erste Speicherzellen-Transistor ist insbesondere mit einer ersten Auswahlleitung und der zweite Speicherzellen-Transistor ist insbesondere mit einer zweiten Auswahlleitung elektrisch verbunden. Ein wesentlicher Gedanke der Erfindung ist es, dass die erste Zeilenauswahl-Potenzialangleich-Leitung und die zweite Zeilenauswahl-Potenzialangleich-Leitung vertikal übereinander und zwischen den beiden Speicherzellen-Transistoren angeordnet sind. Das Halbleiterspeicher-Bauelement ist insbesondere als Festwertspeicher-Bauelement, insbesondere als maskenprogrammierbares ROM (Read Only Memory)-Bauelement ausgeführt. Durch die erfindungsgemäße Anordnung der beiden Zeilenauswahl-Potenzialangleich-Leitungen kann der Platzbedarf des Bauelements wesentlich reduziert werden. Indem die Zeilenauswahl-Potenzialangleich-Leitungen in vertikaler Richtung betrachtet mit unterschiedlichen Abstand zu den Speicherzellen-Transistoren angeordnet sind, kann das Speicherzellenfeld und somit auch das Halbleiterspeicher-Bauelement wesentlich verkleinert werden.

In einem besonders bevorzugten Ausführungsbeispiel ist zumindest eine der beiden Zeilenauswahl-Potenzialangleich-Leitungen äquidistant zu den beiden Speicherzellen-Transistoren bzw. zu den Auswahlleitungen, welche insbesondere als erste und zweite Wortleitung ausgebildet sind, angeordnet. Dadurch kann die Zeilenauswahl-Potenzialangleich-Leitung zwei in einer Spalte eines Speicherzellenfeldes benachbarten Speicherzellen-Transistoren zugeordnet werden. Mindestens eine der beiden Zeilenauswahl-Potenzialangleich-Leitungen ist also im wesentlichen im gleichen Abstand zu den beiden Speicherzellen-Transistoren angeordnet. Darüber hinaus kann durch diese optimierte Anordnung der ersten Zeilenaus-

wahl-Potenzialangleich-Leitung erreicht werden, dass die weitere Anordnung der für das gesamte Speicherbauelement benötigten elektrischen Leitungen, insbesondere der Datenleitungen und Wortleitungen, optimiert werden kann. Insbesondere
5 kann die Anordnung dieser benötigten elektrischen Leitungen derart gestaltet werden, dass die Programmierung des Halbleiterspeicher-Bauelements zu einem relativ späten Zeitpunkt des gesamten Fertigungsprozesses durchgeführt werden kann.

10 In einem bevorzugten Ausführungsbeispiel ist zumindest eine der beiden Zeilenauswahl-Potenzialangleich-Leitungen im wesentlichen vertikal und mittig über einem Diffusionsgebiet der Speicherzellen-Transistoren angeordnet. Dieses Diffusionsgebiet, über dem diese zumindest eine Zeilenauswahl-
15 Potenzialangleich-Leitung angeordnet ist, ist sowohl dem ersten als auch dem zweiten Speicherzellen-Transistor zugeordnet. In einfacher Weise ist dadurch die Kontaktierung des ersten oder des zweiten Speicherzellen-Transistors bzw. der Wortleitungen möglich.

20

In besonders vorteilhafter Weise sind die erste und die zweite Zeilenauswahl-Potenzialangleich-Leitung im wesentlichen deckungsgleich vertikal übereinander angeordnet. Dadurch kann im besonderen Maße der Platzbedarf des Speicherzellenfeldes
5 reduziert werden, da praktisch bei zwei benachbarten Speicherzellen in einer Draufsicht auf das Speicherzellenfeld betrachtet, stets derjenige Flächenbedarf eingespart wird, der aufgrund von Designregeln zwischen den beiden Zeilenauswahl-Potenzialangleich-Leitungen eingehalten werden muss, wenn
30 diese horizontal nebeneinander ausgebildet sind (wie im Stand der Technik).

Vorteilhaft ist es auch, die beiden Zeilenauswahl-Potenzialangleich-Leitungen in verschiedenen Metallisierungsebenen anzuordnen.
35

Es kann dabei in bevorzugter Weise vorgesehen sein, die erste Zeilenauswahl-Potenzialangleich-Leitung in der zweiten oder der dritten Metallisierungsebene über dem ersten und dem zweiten Speicherzellen-Transistor anzuordnen. Die zweite Zeilenauswahl-Potenzialangleich-Leitung ist dann entsprechend in der dritten bzw. der zweiten Metallisierungsebene ausgebildet. Indem beide Zeilenauswahl-Potenzialangleich-Leitungen symmetrisch zu den beiden in einer Spalte angeordneten Speicherzellen-Transistoren und vertikal übereinander angeordnet sind, kann eine besonders platzsparende Ausführungsform gebildet werden.

In vorteilhafter Weise ist der erste Speicherzellen-Transistor mit der ersten oder der zweiten Zeilenauswahl-Potenzialangleich-Leitung kontaktierbar und in entsprechender Weise der zweite Speicherzellen-Transistor mit der zweiten oder der ersten Zeilenauswahl-Potenzialangleich-Leitung kontaktierbar. Jede der beiden Zeilenauswahl-Potenzialangleich-Leitungen kann daher für die Kontaktierung zweier in einer Spalte eines Speicherzellenfeldes benachbarten Speicherzellen-Transistoren verwendet werden. Durch die erfindungsgemäße Anordnung dieser beiden Zeilenauswahl-Potenzialangleich-Leitungen kann eine hohe Flexibilität und Effizienz im Hinblick auf die Kontaktierung bzw. einen Potenzialangleich der Speicherzellen-Transistoren erzielt werden. Gleichzeitig kann mit der geschickten Anordnung dieser Zeilenauswahl-Potenzialangleich-Leitungen eine wesentliche Platzeinsparung erzielt werden und darüber hinaus die weitere Anordnung der für das Halbleiterspeicher-Bauelement benötigten elektrischen Leitungen in wesentlich vereinfachter Anordnung derart ausgebildet werden, dass eine Programmierung des Halbleiterspeicher-Bauelements im zeitlichen Ablauf des Herstellungsprozesses weit nach hinten verschoben werden kann.

In vorteilhafter Weise sind die Zeilenauswahl-Potenzialangleich-Leitungen zur Potenzialangleichung von an einer ersten und an einer zweiten Wortleitung anliegenden Potenzialen aus-

gebildet. Der Gate-Bereich des ersten Speicherzellen-Transistors ist mit der ersten und der Gate-Bereich des zweiten Speicherzellen-Transistors ist mit der zweiten Wortleitung elektrisch verbunden. Die beiden Zeilenauswahl-Potenzialangleich-Leitungen sind mit diesen Wortleitungen der Speicherzellen-Transistoren kontaktierbar.

Bevorzugter Weise ist eine Datenleitung, die insbesondere als Bitleitung ausgeführt ist, mit dem ersten und dem zweiten Speicherzellen-Transistor zur Programmierung von Speicherzuständen kontaktierbar. Die Datenleitung ist in einer Metallisierungsebene ausgebildet, die von den Speicherzellen-Transistoren aus betrachtet über den Metallisierungsebenen liegt, in denen die erste und die zweite Zeilenauswahl-Potenzialangleich-Leitung angeordnet sind. Die Programmierung des Halbleiterspeicher-Bauelements erfolgt somit zu einem Zeitpunkt, der nach dem Ausbilden der Zeilenauswahl-Potenzialangleich-Leitungen liegt.

In einer weiteren Ausführungsform weist das Halbleiterspeicher-Bauelement ein Speicherzellenfeld auf, in dem eine Vielzahl von Speicherzellen matrixförmig angeordnet ist. Das Speicherzellenfeld weist zumindest eine erste und eine zweite Reihe auf, wobei in der ersten und in der zweiten Reihe jeweils eine Mehrzahl an Speicherzellen mit jeweils einem Speicherzellen-Transistor angeordnet sind. Die Speicherzellen-Transistoren der ersten Reihe sind mit einer ersten Auswahlleitung und die Speicherzellen-Transistoren der zweiten Reihe sind mit einer zweiten Auswahlleitung elektrisch verbunden.

Die erste Auswahlleitung ist im Abstand von 1 Speicherzellen-Transistoren der ersten Reihe nur mit der ersten Zeilenauswahl-Potenzialangleich-Leitung elektrisch verbunden. Die zweite Auswahlleitung ist im Abstand einer Anzahl k an Speicherzellen-Transistoren der zweiten Reihe nur mit der zweiten Zeilenauswahl-Potenzialangleich-Leitung elektrisch verbunden. Die ganzen Zahlen 1 und k sind wesentlich kleiner als die Gesamtanzahl der jeweils in der ersten und der zweiten Auswahl-

leitung angeordneten Speicherzellen-Transistoren. Es kann beispielsweise vorgesehen sein, im Abstand von 8 Transistoren einer Reihe eine Potenzialangleichung des Potenzials auf der Wortleitung durchzuführen.

5

Es kann auch vorgesehen sein, dass sowohl die erste als auch die zweite Wortleitung jeweils zumindest eine elektrische Verbindung zur ersten und eine elektrische Verbindung zur zweiten Zeilenauswahl-Potenzialangleich-Leitung aufweisen.

10

Beispielsweise kann die erste Auswahlleitung bzw. Wortleitung nach einer Anzahl l an Speicherzellen-Transistoren der ersten Reihe mit der ersten Zeilenauswahl-Potenzialangleich-Leitung verbunden sein und beispielsweise nach einer Anzahl $2l$ an Speicherzellen-Transistoren der ersten Reihe mit der zweiten

15

Zeilenauswahl-Potenzialangleich-Leitung elektrisch verbunden sein. In analoger Weise kann die zweite Auswahlleitung bzw. Wortleitung nach einer Anzahl k und einer Anzahl $2k$ an Speicherzellen-Transistoren der zweiten Reihe mit der zweiten bzw. der ersten Zeilenauswahl-Potenzialangleich-Leitung elektrisch verbunden sein.

20

Bei einem erfindungsgemäßen Verfahren zum Herstellen eines Halbleiterspeicher-Bauelements, welches insbesondere als ein Festwertspeicher-Bauelement, insbesondere als ein maskenprogrammierbares ROM-Bauelement ausgebildet wird, wird ein erster und ein zweiter Speicherzellen-Transistor in einem Substrat erzeugt, und der erste Speicherzellen-Transistor insbesondere mit einer ersten und der zweite Speicherzellen-Transistor insbesondere mit einer zweiten Auswahlleitung, insbesondere einer ersten und einer zweiten Wortleitung, elektrisch verbunden. Eine erste und eine zweite Zeilenauswahl-Potenzialangleich-Leitung werden vertikal übereinander und zwischen den beiden Speicherzellen-Transistoren ausgebildet. Dadurch kann ein Halbleiterspeicher-Bauelement mit einem wesentlich verkleinerten Platzbedarf geschaffen werden.

25

30

35

In einem vorteilhaften Ausführungsbeispiel wird zumindest eine der beiden Zeilenauswahl-Potenzialangleich-Leitungen äquidistant zu den beiden Speicherzellen-Transistoren bzw. zu den beiden Auswahlleitungen ausgebildet. Die Zeilenauswahl-Potenzialangleich-Leitung wird dadurch in besonders platzsparender und für den nachfolgenden Fertigungsprozess in besonders vorteilhafter Weise angeordnet.

Sowohl der Platzbedarf der Halbleiterspeicher-Bauelemente kann flächenmäßig erheblich reduziert werden und darüber die "turn-around-time" wesentlich reduziert werden, da die Programmierung der Speicherzustände zu einem relativ späten Zeitpunkt des Fertigungsprozesses durchgeführt werden kann und darüber hinaus die Anordnung der für das Halbleiterspeicher-Bauelement weiterhin benötigten elektrischen Leitungen aufgrund der optimierten Anordnung der Zeilenauswahl-Potenzialangleich-Leitungen optimiert werden kann.

Bevorzugt wird zumindest eine der beiden Zeilenauswahl-Potenzialangleich-Leitungen zentriert und vertikal über einem dem ersten und dem zweiten Speicherzellen-Transistor zugeordneten Diffusionsgebiet ausgebildet.

In bevorzugter Weise werden die erste und die zweite Zeilenauswahl-Potenzialangleich-Leitung im wesentlichen deckungsgleich vertikal übereinander ausgebildet, wobei vorgesehen sein kann, dass die erste und die zweite Zeilenauswahl-Potenzialangleich-Leitung in verschiedenen Metallisierungsebenen ausgebildet werden. Insbesondere kann vorgesehen sein, dass die erste Zeilenauswahl-Potenzialangleich-Leitung in einer zweiten oder einer dritten Metallisierungsebene oberhalb der Speicherzellen-Transistoren und die zweite Zeilenauswahl-Potenzialangleich-Leitung entsprechend in der dritten bzw. der zweiten Metallisierungslage ausgebildet werden.

Die Programmierung des Halbleiterspeicher-Bauelements kann durch Ausbilden von elektrischen Kontakten, insbesondere durch Via-Verbindungen, zu einer in einer vierten oder höheren Metallisierungsebene erzeugten Datenleitung durchgeführt werden. Die Datenleitung, insbesondere eine Bitleitung wird
5 in einer Metallisierungsebene ausgebildet, die über denjenigen Metallisierungsebenen erzeugt wird, in denen die Zeilenauswahl-Potenzialangleich-Leitungen hergestellt werden.

10 Durch die erfindungsgemäße Anordnung und das erfindungsgemäße Ausbilden der Zeilenauswahl-Potenzialangleich-Leitungen kann sozusagen eine weitere Programmierungsebene gewonnen werden, indem die Programmierung in einer Metallisierungsebene erfolgt, die über der Metallisierungsebene der Zeilenauswahl-
15 Potenzialangleich-Leitungen erfolgt, und insbesondere in einer letzten im Querschnitt dünn ausgebildeten Metallisierungsebene durchgeführt wird. Als letzte dünne Metallisierungsebene wird dabei jene Metallisierungsebene bezeichnet, die für das Ausbilden von elektrischen Leitungen, die für das
20 Halbleiterspeicher-Bauelement benötigt werden, erforderlich ist. Oberhalb dieser letzten dünnen Metallisierungsebene wird lediglich noch eine oder mehrere im Vergleich dazu dicke Metallisierungsebenen ausgebildet, über die das Halbleiterspeicher-Bauelement bspw. gebondet wird bzw. über die elektrische
25 Verbindungen des Halbleiterspeicher-Bauelements nach außen erzeugt werden. Diese im Vergleich zu den ersten Metallisierungsebenen dick ausgebildeten oberen bzw. abschließenden Metallisierungsebenen sind daher nicht mehr als Programmierungsebenen geeignet.

30 Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

Nachfolgend wird ein Ausführungsbeispiel der Erfindung anhand
35 schematischer Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine Schnittdarstellung einer aus dem Stand der Technik bekannten Anordnung von zwei Halbleiterspeicher-Bauelementen;

5 Fig. 2 eine Schnittdarstellung einer weiteren aus dem Stand der Technik bekannten Anordnung eines Halbleiterspeicher-Bauelements;

10 Fig. 3 eine Draufsicht bzw. Layout-Darstellung der Anordnung gemäß Fig. 2;

Fig. 4 eine Schnittdarstellung eines erfindungsgemäßen Halbleiterspeicher-Bauelements; und

15 Fig. 5 eine Draufsicht bzw. Layout-Darstellung des erfindungsgemäßen Halbleiterspeicher-Bauelements gemäß Fig. 4.

20 In den Figuren werden gleiche oder funktionsgleiche Elemente mit denselben Bezugszeichen versehen.

In Fig. 2 ist eine weitere, aus dem Stand der Technik bekannte Ausführungsform eines Halbleiterspeicher-Bauelements mit Zeilenauswahl-Potenzialangleich-Leitungen gezeigt. Bei dieser
25 bekannten Ausführungsform wird in jeder Speicherzelle SZ1 und SZ2 (Einheitszelle gekennzeichnet durch die Bereiche zwischen zwei Trennlinien TL) eine dieser Speicherzelle zugeordnete Zeilenauswahl-Potenzialangleich-Leitung ausgebildet. Der ersten Speicherzelle SZ1 ist die Zeilenauswahl-Potenzial-
30 angleich-Leitung PAW1 zugeordnet. In der zweiten Speicherzelle SZ2 ist die einzig dieser Speicherzelle SZ2 zugeordnete zweite Zeilenauswahl-Potenzialangleich-Leitung PAW2 angeordnet. Beide Zeilenauswahl-Potenzialangleich-Leitungen PAW1 und PAW2 sind in einer Metallisierungsebene, in diesem Beispiel
35 in der zweiten Metallisierungsebene, ausgebildet. Die Bitleitung BL ist in diesem Ausführungsbeispiel oberhalb der Zeilenauswahl-Potenzialangleich-Leitungen PAW1 und PAW2 angeord-

net. Zur Potenzialangleichung der an den Wortleitungen W1 und W2 anliegenden Potenziale ist die Wortleitung W1 nur mit der in der ersten Speicherzelle SZ1 ausgebildeten Zeilenauswahl-Potenzialangleich-Leitung PAW1 kontaktierbar. Ebenso ist die

5 Wortleitung W2 in der zweiten Speicherzelle SZ2 lediglich mit der in dieser Speicherzelle SZ2 ausgebildeten zweiten Zeilenauswahl-Potenzialangleich-Leitung PAW2 kontaktierbar. Aufgrund von Designregeln (Lithographie Tools, Bauelement-Simulationen, Dotierstoffeinstellungen, chemische Prozess-

10 Schritte, optische Effekte, Verwendung verschiedener Masken), durch die eine jeweilige Technologie gekennzeichnet ist und die bei der Entwicklung und Herstellung eines derartigen Halbleiterspeicher-Bauelements beachtet werden müssen, werden Abstände zwischen den jeweiligen Bereichen des Halbleiterspeicher-Bauelements vorgegeben. Abhängig von der entsprechenden Technologie und den betrachteten Teilbereichen innerhalb eines Halbleiterspeicher-Bauelements, zwischen denen ein Mindestabstand eingehalten werden muss, liegen diese durch die Designregeln vorgegebenen minimalen Abstände zwischen einigen hundertstel bis einige zehntel μm .

20

In Fig. 2 ist daher unter anderem ein minimaler Abstand a_1 zwischen dem Kontaktpad P2 in der ersten Speicherzelle SZ1 und der ersten Zeilenauswahl-Potenzialangleich-Leitung PAW1 einzuhalten. Des Weiteren ist ein halber minimaler Abstand a_2 einerseits zwischen der Trennlinie TL und dem Kontaktpad P2 der ersten Speicherzelle SZ1 und ein halber minimaler Abstand a_3 zwischen der zweiten, die erste Speicherzelle SZ1 begrenzenden Trennlinie TL und der ersten Zeilenauswahl-Potenzialangleich-Leitung PAW1 einzuhalten. Die zweite Speicherzelle SZ2 ist in analoger Weise zur ersten Speicherzelle SZ1 aufgebaut, wodurch zwischen den beiden Zeilenauswahl-Potenzialangleich-Leitungen PAW1 und PAW2 ein gesamter minimaler Abstand a_3 besteht. Aufgrund dieser vorgegebenen minimalen Abstände a_1 , a_2 und a_3 , die bei der Entwicklung des Halbleiterspeicher-Bauelements nicht unterschritten werden dürfen, ist die Miniaturisierung und damit auch die Verkleinerung der be-

25

30

35

nötigten Fläche für ein Halbleiterspeicher-Bauelement begrenzt, insbesondere bei einer wie in Fig. 2 dargestellten Ausbildung der beiden Zeilenauswahl-Potenzial-angleich-Leitungen PAW1 und PAW2.

5

Eine Draufsicht bzw. eine Layout-Darstellung des bekannten Halbleiterspeicher-Bauelements gemäß Fig. 2 ist in Fig. 3 aufgezeigt. Die entlang der Schnittlinie AA dargestellte Ausführung entspricht der in Fig. 2. Des Weiteren ist in Fig. 3 zu erkennen, dass die zwischen den Zeilenauswahl-Potenzialangleich-Leitungen PAW1 und PAW2 und zwischen den Zeilenauswahl-Potenzialangleich-Leitungen PAW1 und PAW2 zu den entsprechenden Kontaktpads P2 minimalen Abstände a_3 bzw. a_1 zu einem relativ großen Flächenbedarf des Halbleiterspeicher-Bauelements führen. In Fig. 3 sind die Kontaktpads P2 und P3 in vereinfachter Weise und der Übersichtlichkeit dienend als ein rechteckiges Kontaktpad gezeichnet. Ferner ist in Fig. 3 die Kontaktierung der ersten Zeilenauswahl-Potenzialangleich-Leitung PAW1 mit der ersten Wortleitung W1 der ersten Speicherzelle aufgezeigt. Die erste Zeilenauswahl-Potenzialangleich-Leitung PAW1 weist einen in Richtung zur Wortleitung W1 ausgebildeten T-förmigen Bereich auf, der über die beiden Kontaktbereiche KW1 mit der Wortleitung kontaktiert sind. Ebenso ist die zweite Zeilenauswahl-Potenzialangleich-Leitung PAW2 mit der zweiten Wortleitung W2 der zweiten Speicherzelle über die Kontaktbereiche KW2 elektrisch kontaktiert. Die Masse-Potenzialangleich-Leitung PAM ist über den Kontaktbereich KPAM mit dem gemeinsamen Diffusionsgebiet der beiden Speicherzellen-Tansistoren kontaktiert.

30

Ein erfindungsgemäßes Halbleiterspeicher-Bauelement ist als maskenprogrammierbares ROM-Bauelement in einer Schnittdarstellung in Fig. 4 aufgezeigt. Sowohl die erste Zeilenauswahl-Potenzialangleich-Leitung PAW1 bzw. Wortleitungs-Potenzialangleich-Leitung PAW1 als auch die zweite Zeilenauswahl-Potenzialangleich-Leitung PAW2 bzw. Wortleitungs-Potenzialangleich-Leitung PAW2 sind in symmetrischer Anord-

35

nung bezüglich der Trennlinie TL zwischen den beiden Speicherzellen SZ1 und SZ2, zu den beiden Speicherzellen SZ1 und SZ2 über dem gemeinsamen Source-Bereich SO der Speicherzellen-Transistoren angeordnet. Beide Zeilenauswahl-Potenzialangleich-Leitungen PAW1 und PAW2 sind daher Speicherzellen-
5 übergreifend sowohl der ersten als auch der zweiten Speicherzelle SZ1 und SZ2 zugeordnet und im wesentlichen im gleichen Abstand zu den Wortleitungen WL1 und WL2 angeordnet. Die erste Zeilenauswahl-Potenzialangleich-Leitung PAW1 ist in der
10 zweiten Metallisierungsebene und die zweite Zeilenauswahl-Potenzialangleich-Leitung PAW2 ist in der dritten Metallisierungsebene ausgebildet. Zur Potenzialangleichung der ersten Wortleitung W1 („wordline refresh“) kann dadurch ein elektrischer Kontakt sowohl mit der ersten Zeilenauswahl-Potenzialangleich-Leitung PAW1 oder mit der zweiten Zeilenauswahl-
15 Potenzialangleich-Leitung PAW2 ausgebildet werden.

In analoger Weise kann eine Potenzialangleichung („wordline refresh“) der zweiten Wortleitung W2 durch Ausbilden einer
20 elektrischen Verbindung mit der ersten oder der zweiten Zeilenauswahl-Potenzialangleich-Leitung PAW1 bzw. PAW2 durchgeführt werden. Wie in Fig. 4 zu erkennen ist, sind die durch die Designregeln vorgegebenen minimalen Abstände a_1 zwischen den Kontaktbereichen P2 und der ersten Zeilenauswahl-
25 Potenzialangleich-Leitung PAW1 sowie zwischen den Kontaktbereichen P3 und der zweiten Zeilenauswahl-Potenzialangleich-Leitung PAW2 einzuhalten. Durch die erfindungsgemäße Anordnung dieser Zeilenauswahl-Potenzialangleich-Leitungen PAW1 und PAW2 kann sowohl die erste Speicherzelle SZ1 als auch die
30 zweite Speicherzelle SZ2 in x-Richtung um einen halben minimalen Abstand a_3 verkleinert werden. Das in Fig. 4 dargestellte erfindungsgemäße Halbleiterspeicher-Bauelement mit den beiden in einer Spalte nebeneinander angeordneten Speicherzellen SZ1 und SZ2 kann daher in x-Richtung betrachtet um
35 einen minimalen Designregel-Abstand a kleiner ausgebildet werden als das aus dem Stand der Technik bekannte Halbleiterspeicher-Bauelement gemäß Fig. 2.

Durch die vertikale Anordnung der Zeilenauswahl-Potenzial-
angleich-Leitungen PAW1 und PAW2 kann auch der Source-Bereich
SO verkleinert werden und weist in lateraler Richtung in der
5 ersten und der zweiten Speicherzelle SZ1 und SZ2 jeweils eine
Ausdehnung d_2 auf. Diese Verkleinerung der lateralen Ausdeh-
nung des Source-Bereichs SO in jeder der Speicherzellen SZ1
und SZ2 von d_1 (Fig. 2) auf die laterale Ausdehnung d_2 (Fig.
4) entspricht im Wesentlichen einem halben minimalen De-
10 signregel-Abstand a_3 . Wie in Fig. 4 weiterhin dargestellt
ist, sind die Drain-Bereiche D1 und D2 der Speicherzellen-
Transistoren der Speicherzellen SZ1 und SZ2 von den angren-
zenden, nicht vollständig dargestellten Drain-Bereichen der
angrenzenden Transistoren, durch Shallow-Trench-Isolations-
15 bereiche STI isoliert. Die Programmierung der Speicherzellen
in Fig. 4 wird durch Ausbilden von Via-Verbindungen V3 zu der
in der vierten Metallisierungsebene ausgebildeten Bitleitung
BL durchgeführt. Im gezeigten Ausführungsbeispiel sind beide
Speicherzellen bzw. die Drain-Bereiche D1 und D2 mit der Bit-
20 leitung BL elektrisch kontaktiert. Beide Speicherzellen SZ1
und SZ2 weisen einen ersten logischen Zustand auf, der gemäß
gewählter Konvention ein logischer Zustand "0" ist. Würde
beispielsweise in der Speicherzelle SZ1 die elektrische Ver-
bindung zwischen dem Kontaktpad P3 und der Bitleitung BL feh-
25 len, d.h. die Via-Verbindung V3 wäre nicht ausgebildet, würde
diese Speicherzelle SZ1 einen zweiten logischen Zustand, der
gemäß Konvention ein logischer Zustand "1" ist, aufweisen.

Die Kontaktbereiche K, die Kontaktpads P1, P2 und P3 sowie
30 die Via-Verbindungen V1, V2 und V3 in den beiden Speicherzel-
len SZ1 und SZ2 sind in einer Isolationsschicht I, welche als
Mehrschichtensystem ausgebildet sein kann, eingebettet und
erzeugt. Die Programmierung der Speicherzellen SZ1 und SZ2
kann daher zu einem möglichst späten Zeitpunkt erfolgen und
35 insbesondere in einer Metallisierungsebene ausgeführt werden,
die im in y-Richtung betrachtet ausgebildeten Schichtenstapel
als letzte dünne Metallisierungsebene ausgebildet ist. Als

dünn wird dabei eine derartige Metallisierungsebene bezeichnet, die im Vergleich mit den in positiver y-Richtung darüber ausgebildeten Metallisierungsebenen eine kleinere bzw. wesentlich kleinere Ausdehnung in y-Richtung aufweist.

- 5 In dem in Fig. 4 gezeigten Ausführungsbeispiel kann auch vorgesehen sein, dass die beiden Zeilenauswahl-Potenzialangleich-Leitungen PAW1 und PAW2 deckungsgleich aber asymmetrisch zu der zwischen den beiden Speicherzellen SZ1 und SZ2 gezogenen Trennlinie TL liegen. Zu beachten ist in diesem
- 10 Falle, dass die Abstände a_1 zu den Kontaktpads P2 und P3 stets mindestens einzuhalten sind (minimale Designregelabstände). In diesem Fall würde eine Anordnung resultieren, die flächenmäßig etwas größer wäre als die in Fig. 4 gezeigte Ausführung, aber immer noch wesentlich kleiner wäre als die
- 15 aus dem Stand der Technik gemäß Figuren 1 und 2 bekannten Ausführungen. Es kann auch vorgesehen sein, dass die Zeilenauswahl-Potenzialangleich-Leitungen PAW1 und PAW2 nicht deckungsgleich sind und beispielsweise in x-Richtung (Fig.4) zueinander verschoben sind.

20

- Durch das erfindungsgemäße Halbleiterspeicher-Bauelement kann daher eine Programmierung zu einem spätest möglichen Zeitpunkt erfolgen, insbesondere eine Programmierung in der letzten dünnen Metallisierungsebene während eines Logikfertigungsprozesses durchgeführt werden und zugleich eine wesentliche Reduzierung des Flächenbedarfs der Halbleiterspeicherzellen des Halbleiterspeicher-Bauelements erreicht werden. In
- 25 Fig. 4 kann auch vorgesehen sein, die erste Zeilenauswahl-Potenzialangleich-Leitung PAW1 in der ersten Metallisierungsebene, in der die Kontaktpads P1 ausgebildet sind, anzuordnen. Es kann dann auch vorgesehen sein, dass die zweite Zeilenauswahl-Potenzialangleich-Leitung PAW2 in der zweiten Metallisierungsebene, in der die Kontaktpads P2 angeordnet sind, ausgebildet wird. Die Kontaktierung der Speicherzellen
- 30 SZ1 und SZ2 kann dann bereits in der dritten Metallisierungsebene, in der dann die Bitleitung BL ausgebildet sein kann, erfolgen. Es kann aber auch vorgesehen sein, dass bei
- 35

Anordnung der Zeilenauswahl-Potenzialangleich-Leitungen PAW1 und PAW2 in der ersten bzw. der zweiten Metallisierungsebene eine Programmierung in der vierten oder einer höheren Metallisierungsebene durchgeführt wird. Ebenso kann in dem in Fig. 4 dargestellten Ausführungsbeispiel eine Programmierung auch in einer höheren als der vierten Metallisierungsebene ausgeführt werden. Wesentlich ist, dass die Programmierung in einer letzten dünnen Metallisierungsebene ausgeführt werden kann. Die in positiver y-Richtung über der letzten gegebenenfalls zur Programmierung der Speicherzellen verwendeten dünnen Metallisierungsebene angeordneten dicken Metallisierungsebenen, werden zur Kontaktierung von Busleitungen bzw. mit dem Bussystem eines integrierten Schaltkreises oder beispielsweise als Bond-Ebenen ausgebildet. Die dicken Metallisierungsebenen können dabei eine Dicke in y-Richtung aufweisen, die beispielsweise zwei- oder viermal so groß ist wie die Dicke einer dünnen Metallisierungsebene. Die Kontaktbereiche K sowie Kontaktpads P1 und die Masse-Potenzialangleich-Leitung PAM können aus Wolfram ausgebildet sein. Die Via-Verbindungen V1, V2 und V3 sowie die Kontaktpads P2 und P3 und die beiden Zeilenauswahl-Potenzialangleich-Leitungen PAW1 und PAW2 zwischen den Speicherzellen SZ1 und SZ2 können aus Kupfer ausgebildet werden. Ebenso kann die Bitleitung BL in der vierten Metallisierungsebene aus Kupfer ausgebildet sein.

In Fig. 5 ist eine Draufsicht bzw. eine Layout-Darstellung des erfindungsgemäßen Halbleiter-Bauelements gemäß Fig. 4 gezeigt. Die beiden Zeilenauswahl-Potenzialangleich-Leitungen PAW1 und PAW2 sind in z-Richtung übereinander deckungsgleich angeordnet. Im gezeigten Ausführungsbeispiel ist die Wortleitung W1 mit der zweiten Zeilenauswahl-Potenzialangleich-Leitung PAW2 über die beiden Kontaktbereiche KW1 kontaktiert. Die zweite Wortleitung W2 ist mit der ersten Zeilenauswahl-Potenzialangleich-Leitung PAW1 über die Kontaktbereiche KW2 kontaktiert. Eine Kontaktierung der Wortleitungen W1 und W2 mit den beiden Zeilenauswahl-Potenzialangleich-Leitungen PAW1

und PAW2 kann auch in umgekehrter Reihenfolge durchgeführt sein. Wie in Fig. 5 zu erkennen ist, sind die Drain-Bereiche D1 und D2 sowie die Gate-Bereiche G1 und G2 der Speicherzellen-Transistoren im Vergleich zu der Darstellung in Fig. 3 flächenmäßig im Wesentlichen unverändert. Wesentlich reduziert ist allerdings der beiden Speicherzellen-Transistoren zugeordnete Source-Bereich SO. Die Ausdehnung in x-Richtung der beiden Speicherzellen-Transistoren zwischen den äußeren Trennlinien TL ist in Fig. 5 im Vergleich zu der Darstellung in Fig. 3 um den minimalen Designregel-Abstand a_3 verkleinert. Die Darstellung in Fig. 4 entspricht einer Schnittdarstellung entlang der Schnittlinie BB (Fig. 5).

Bei dem erfindungsgemäßen Halbleiterspeicher-Bauelement, insbesondere dem maskenprogrammierbaren ROM-Bauelement, sind die Zeilenauswahl-Potenzialangleich-Leitungen von den Speicherzellen-Transistoren aus betrachtet in vertikaler Lage zueinander und zwischen den Speicherzellen-Transistoren Speicherzellen-übergreifend angeordnet. Die Zeilenauswahl-Potenzialangleich-Leitungen sind somit derart angeordnet, dass sie zwei in einer Spalte eines Speicherzellenfeldes angeordneten Speicherzellen zugeordnet sind. Besonders bevorzugt ist es, wenn die Zeilenauswahl-Potenzialangleich-Leitungen nahezu deckungsgleich zueinander in verschiedenen Ebenen über den Speicherzellen-Transistoren angeordnet sind und dabei mittig und im wesentlichen zentriert zwischen einen den Speicherzellen-Transistoren gemeinsam zugeordneten Diffusionsgebiet ausgebildet sind. Beide Gate-Bereiche bzw. Wortleitungen der Speicherzellen-Transistoren der benachbarten Speicherzellen sind daher mit beiden Zeilenauswahl-Potenzialangleich-Leitungen kontaktierbar. Indem die in einer Metallisierungsebene ausgebildete Zeilenauswahl-Potenzialangleich-Leitung zentriert oberhalb dem Diffusionsgebiet angeordnet ist, welches beiden Speicherzellen-Transistoren zweier benachbarter Speicherzellen zugeordnet ist, kann der Flächenbedarf jeder einzelnen Speicherzelle erheblich reduziert werden, insbesondere um einen Abstand, welcher einem halben mi-

nimalen, durch die Designregeln vorgegebenen, Abstand entspricht, verkleinert werden. Darüber hinaus kann durch die erfindungsgemäße Anordnung insbesondere der Zeilenauswahl-Potenzialangleich-Leitung die Anordnung der Wortleitungen und der Bitleitungen derart durchgeführt werden, dass eine Programmierung der Speicherzellen zu einem spätest möglichen Zeitpunkt des Fertigungsprozesses durchgeführt werden kann, und insbesondere eine Programmierung in einer im gesamten Schichtenstapel als letzte dünne Metallisierungsebene ausgebildete Metallisierungsebene erfolgen kann.

Patentansprüche

1. Halbleiterspeicher-Bauelement, insbesondere Festwert-
speicher-Bauelement, insbesondere maskenprogrammierbares ROM-
5 Bauelement, mit

- einem ersten Speicherzellen-Transistor, welcher insbesonde-
re mit einer ersten Auswahlleitung (WL1) elektrisch verbun-
den ist,
- einem zweiten Speicherzellen-Transistor, welcher insbeson-
10 dere mit einer zweiten Auswahlleitung (WL2) elektrisch ver-
bunden ist, und
- einer ersten Zeilenauswahl-Potenzialangleich-Leitung (PAW1)
und einer zweiten Zeilenauswahl-Potenzialangleich-Leitung
(PAW2), wobei die beiden Zeilenauswahl-Potenzialangleich-
15 Leitungen (PAW1, PAW2) vertikal übereinander und zwischen
den beiden Speicherzellen-Transistoren angeordnet sind.

2. Halbleiterspeicher-Bauelement nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t, dass

- 20 zumindest eine der beiden Zeilenauswahl-Potenzialangleich-
Leitungen (PAW1, PAW2) äquidistant zwischen dem ersten und
dem zweiten Speicherzellen-Transistor, insbesondere äquidi-
stant zwischen der ersten (WL1) und der zweiten Auswahllei-
tung (WL2), insbesondere einer ersten und einer zweiten Wort-
25 leitung, angeordnet ist.

3. Halbleiterspeicher-Bauelement nach Anspruch 1 oder 2,
d a d u r c h g e k e n n z e i c h n e t, dass

- 30 zumindest eine der beiden Zeilenauswahl-Potenzialangleich-
Leitung (PAW1, PAW2) im wesentlichen vertikal und mittig über
einem Diffusionsgebiet (SO) der Speicherzellen-Transistoren
angeordnet ist und das Diffusionsgebiet (SO) dem ersten und
dem zweiten Speicherzellen-Transistor zugeordnet ist.

35 4. Halbleiterspeicher-Bauelement nach einem der vorhergehen-
den Ansprüche,

- d a d u r c h g e k e n n z e i c h n e t, dass

die erste (PAW1) und die zweite Zeilenauswahl-Potenzialangleich-Leitung (PAW2) im wesentlichen deckungsgleich vertikal übereinander angeordnet sind.

5 5. Halbleiterspeicher-Bauelement nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t, dass
die beiden Zeilenauswahl-Potenzialangleich-Leitungen (PAW1,
PAW2) in verschiedenen Metallisierungsebenen ausgebildet
10 sind.

6. Halbleiterspeicher-Bauelement nach Anspruch 5,

d a d u r c h g e k e n n z e i c h n e t, dass
die erste Zeilenauswahl-Potenzialangleich-Leitung (PAW1) in
15 der zweiten oder dritten Metallisierungsebene und die zweite
Zeilenauswahl-Potenzialangleich-Leitung (PAW2) entsprechend
in der dritten oder zweiten Metallisierungsebene über dem ersten
und dem zweiten Speicherzellen-Transistor ausgebildet
sind.

20

7. Halbleiterspeicher-Bauelement nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t, dass
die erste (WL1) oder die zweite Auswahlleitung (WL2) mit der
25 ersten (PAW1) oder der zweiten Zeilenauswahl-Potenzialangleich-Leitung (PAW2) kontaktierbar ist.

8. Halbleiterspeicher-Bauelement nach einem der vorhergehenden Ansprüche,

30 d a d u r c h g e k e n n z e i c h n e t, dass
eine Datenleitung, insbesondere eine Bitleitung (BL), die mit
den Speicherzellen-Transistoren kontaktierbar ist und in einer
Metallisierungsebene ausgebildet ist, die von den Speicherzellen-
Transistoren aus betrachtet über den Metallisierungsebenen liegt,
35 in denen die erste (PAW1) und die zweite Zeilenauswahl-Potenzialangleich-Leitung (PAW2) angeordnet
sind.

9. Halbleiterspeicher-Bauelement nach einem der vorhergehenden Ansprüche,

g e k e n n z e i c h n e t d u r c h

- 5 - ein Speicherzellenfeld in dem Speicherzellen matrixförmig angeordnet sind,
- das Speicherzellenfeld eine erste und eine zweite Reihe mit jeweils einer Mehrzahl an Speicherzellen mit jeweils einem Speicherzellen-Transistor aufweist, wobei Speicherzellen-Transistoren der ersten Reihe mit der ersten Auswahlleitung (W1) und die Speicherzellen-Transistoren der zweiten Reihe mit der zweiten Auswahlleitung (W2) elektrisch verbunden sind, und
- 10 - die erste Auswahlleitung (W1) nur mit der ersten Zeilenauswahl-Potenzialangleich-Leitung (PAW1) und die zweite Auswahlleitung (W2) nur mit der zweiten Zeilenauswahl-Potenzialangleich-Leitung (PAW2) elektrisch verbunden ist.

10. Halbleiterspeicher-Bauelement nach einem der Ansprüche 1 bis 8,

g e k e n n z e i c h n e t d u r c h

- ein Speicherzellenfeld in dem Speicherzellen matrixförmig angeordnet sind,
- das Speicherzellenfeld eine erste und eine zweite Reihe mit jeweils einer Mehrzahl an Speicherzellen-Transistoren aufweist, wobei Speicherzellen-Transistoren der ersten Reihe mit der ersten Auswahlleitung (W1) und die Speicherzellen-Transistoren der zweiten Reihe mit der zweiten Auswahlleitung (W2) elektrisch verbunden sind, und
- 25 - sowohl die erste (W1) als auch die zweite Auswahlleitung (W2) jeweils zumindest eine elektrische Verbindung zur ersten (PAW1) und eine elektrische Verbindung zur zweiten Zeilenauswahl-Potenzialangleich-Leitung (PAW2) aufweisen.

35 11. Verfahren zum Herstellen eines Halbleiterspeicher-Bauelements, insbesondere eines Festwertspeicher-Bauelements, insbesondere eines maskenprogrammierbaren ROM-Bauelements,

bei dem ein erster und ein zweiter Speicherzellen-Transistor in einem Substrat (S) erzeugt werden, der erste Speicherzellen-Transistor insbesondere mit einer ersten Auswahlleitung (WL1) und der zweite Speicherzellen-Transistor insbesondere mit einer zweiten Auswahlleitung (WL2) elektrisch verbunden wird, und eine erste Zeilenauswahl-Potenzialangleich-Leitung (PAW1) und eine zweite Zeilenauswahl-Potenzialangleich-Leitung (PAW2) vertikal übereinander und zwischen den beiden Speicherzellen-Transistoren ausgebildet werden.

10

12. Verfahren nach Anspruch 11,
dadurch gekennzeichnet, dass
zumindest eine der beiden Zeilenauswahl-Potenzialangleich-Leitungen (PAW1, PAW2) äquidistant zu den beiden Speicherzellen-Transistoren, insbesondere äquidistant zu den beiden Auswahlleitungen (WL1, WL2), die insbesondere eine erste und zweite Wortleitung sind, ausgebildet wird.

15

13. Verfahren nach Anspruch 11 oder 12,
dadurch gekennzeichnet, dass
zumindest eine der beiden Zeilenauswahl-Potenzialangleich-Leitung (PAW1, PAW2) im wesentlichen vertikal und mittig über einem dem ersten und dem zweiten Speicherzellen-Transistor zugeordneten Diffusionsgebiet (SO) ausgebildet wird.

20

14. Verfahren nach einem der Ansprüche 11 bis 13,
dadurch gekennzeichnet, dass
die erste (PAW1) und die zweite Zeilenauswahl-Potenzialangleich-Leitung (PAW2) im wesentlichen deckungsgleich vertikal übereinander ausgebildet werden.

25

30

15. Verfahren nach einem der Ansprüche 11 bis 14,
dadurch gekennzeichnet, dass
die erste (PAW1) und die zweite Zeilenauswahl-Potenzialangleich-Leitung (PAW2) in verschiedenen Metallisierungsebenen ausgebildet werden, insbesondere in einer zweiten und ei-

35

ner dritten Metallisierungslage oberhalb der Speicherzellen-Transistoren erzeugt werden.

16. Verfahren nach einem der Ansprüche 11 bis 15,
5 d a d u r c h g e k e n n z e i c h n e t, dass
eine Datenleitung (BL) in einer Metallisierungsebene oberhalb
den Speicherzellen-Transistoren ausgebildet wird, die über
denjenigen Metallisierungsebenen erzeugt wird, in denen die
Zeilenauswahl-Potenzialangleich-Leitungen (PAW1, PAW2) ausge-
10 bildet werden.

17. Verfahren nach einem der Ansprüche 11 bis 16,
d a d u r c h g e k e n n z e i c h n e t, dass
- jeweils eine Mehrzahl an Speicherzellen in einer ersten und
15 in einer zweiten Reihe in einem Speicherzellenfeld matrix-
förmig angeordnet ausgebildet werden,
- in jeder Speicherzelle ein Speicherzellen-Transistor ausge-
bildet wird, und die Speicherzellen-Transistoren der ersten
Reihe mit einer ersten Auswahlleitung (W1) und die Spei-
20 cherzellen-Transistoren der zweiten Reihe mit einer zweiten
Auswahlleitung (W1) elektrisch verbunden werden, und
- die erste Auswahlleitung (W1) mit der ersten Zeilenauswahl-
Potenzialangleich-Leitung (PAW1) und die zweite Auswahllei-
25 tung (W2) mit der zweiten Zeilenauswahl-Potenzialangleich-
Leitung (PAW2) elektrisch verbunden wird.

18. Verfahren nach Anspruch 17,
d a d u r c h g e k e n n z e i c h n e t, dass
die erste Auswahlleitung (W1) mit der zweiten Zeilenauswahl-
30 Potenzialangleich-Leitung (PAW2) und die zweite Auswahllei-
tung (W2) mit der ersten Zeilenauswahl-Potenzialangleich-
Leitung (PAW1) elektrisch verbunden wird.

Zusammenfassung

Maskenprogrammierbares ROM-Bauelement und Verfahren zu dessen Herstellung

5

Ein Halbleiterspeicher-Bauelement, insbesondere ein maskenprogrammierbares ROM-Bauelement, weist zwei in einer Spalte eines Speicherzellenfeldes benachbarte Speicherzellen-Transistoren auf. Äquidistant zu den beiden Speicherzellen-

10

Transistoren ist in vertikaler Richtung über einem Diffusionsgebiet, welches beiden Speicherzellen-Transistoren zugeordnet ist, eine erste und eine zweite Zeilenauswahl-

Potenzialangleich-Leitung (PAW1, PAW2) angeordnet. Die erste oder die zweite Zeilenauswahl-Potenzialangleich-Leitung

15

(PAW1) können sowohl mit der Wortleitung (W1) des ersten Speicherzellen-Transistors als auch mit der Wortleitung (W2) des Speicherzellen-Transistors der zweiten Speicherzelle zur Angleichung des Potenzials mit einer der beiden Wortleitungen (W1, W2) verbunden werden.

20

(Fig. 4)

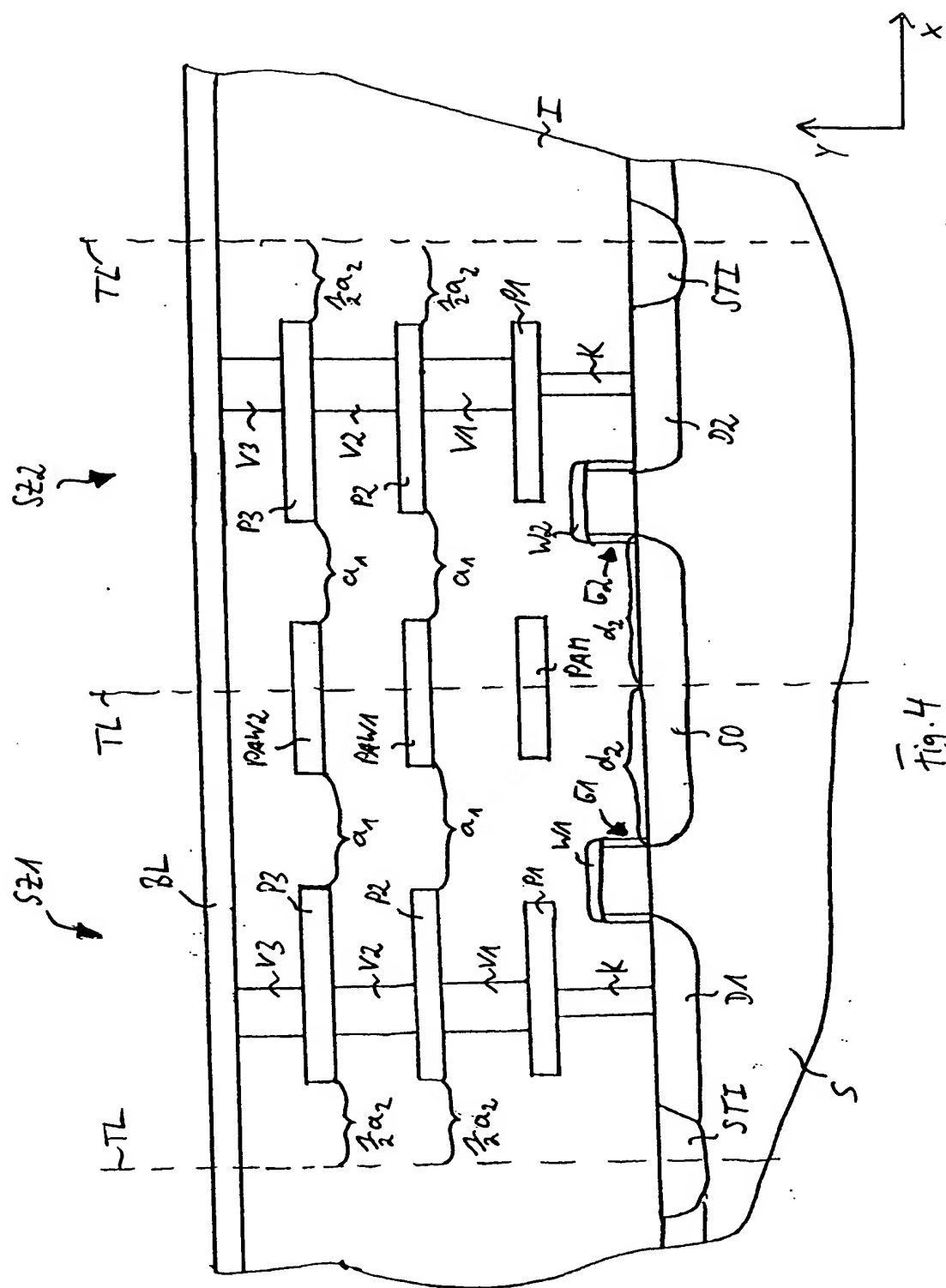


Fig. 4

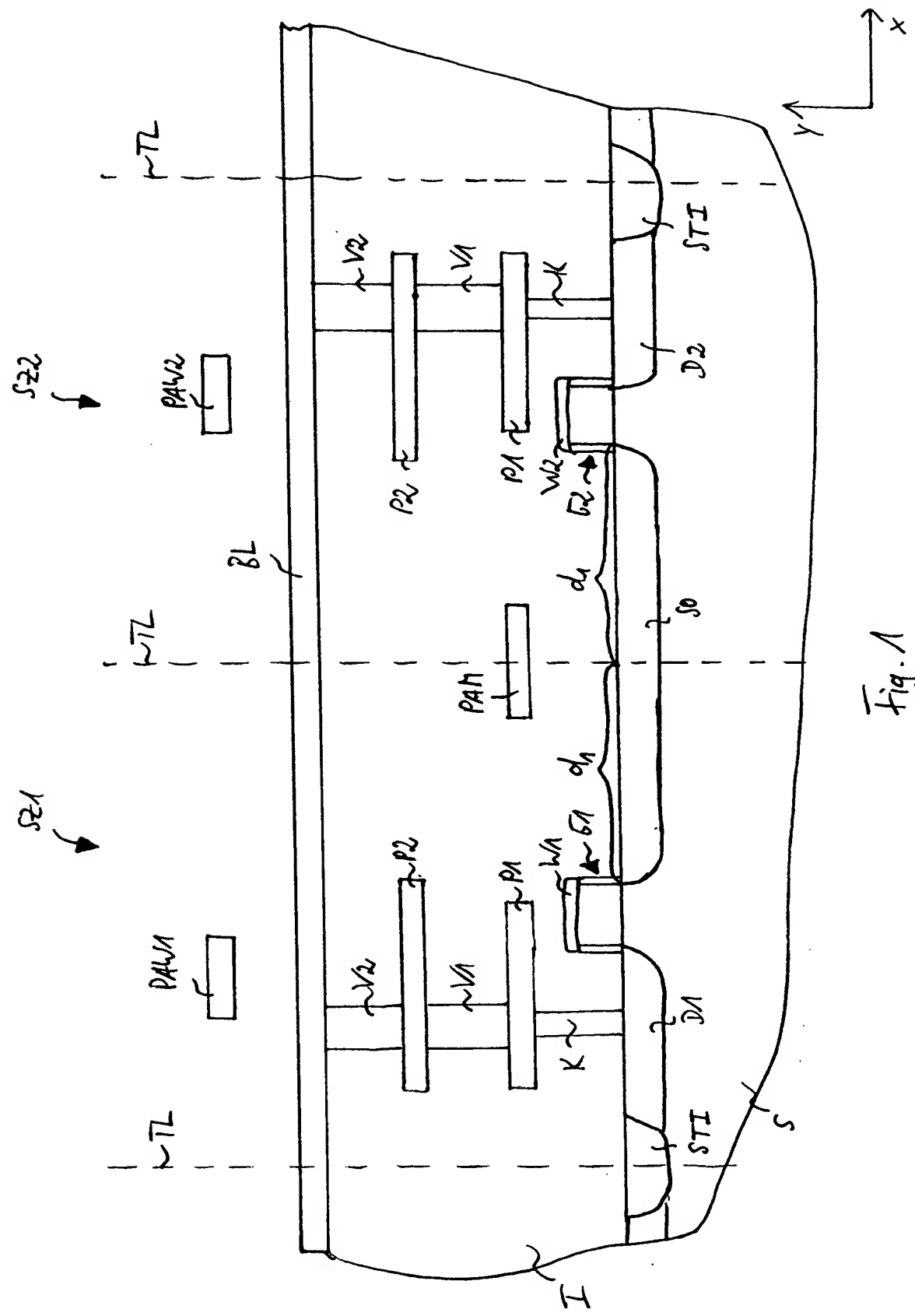
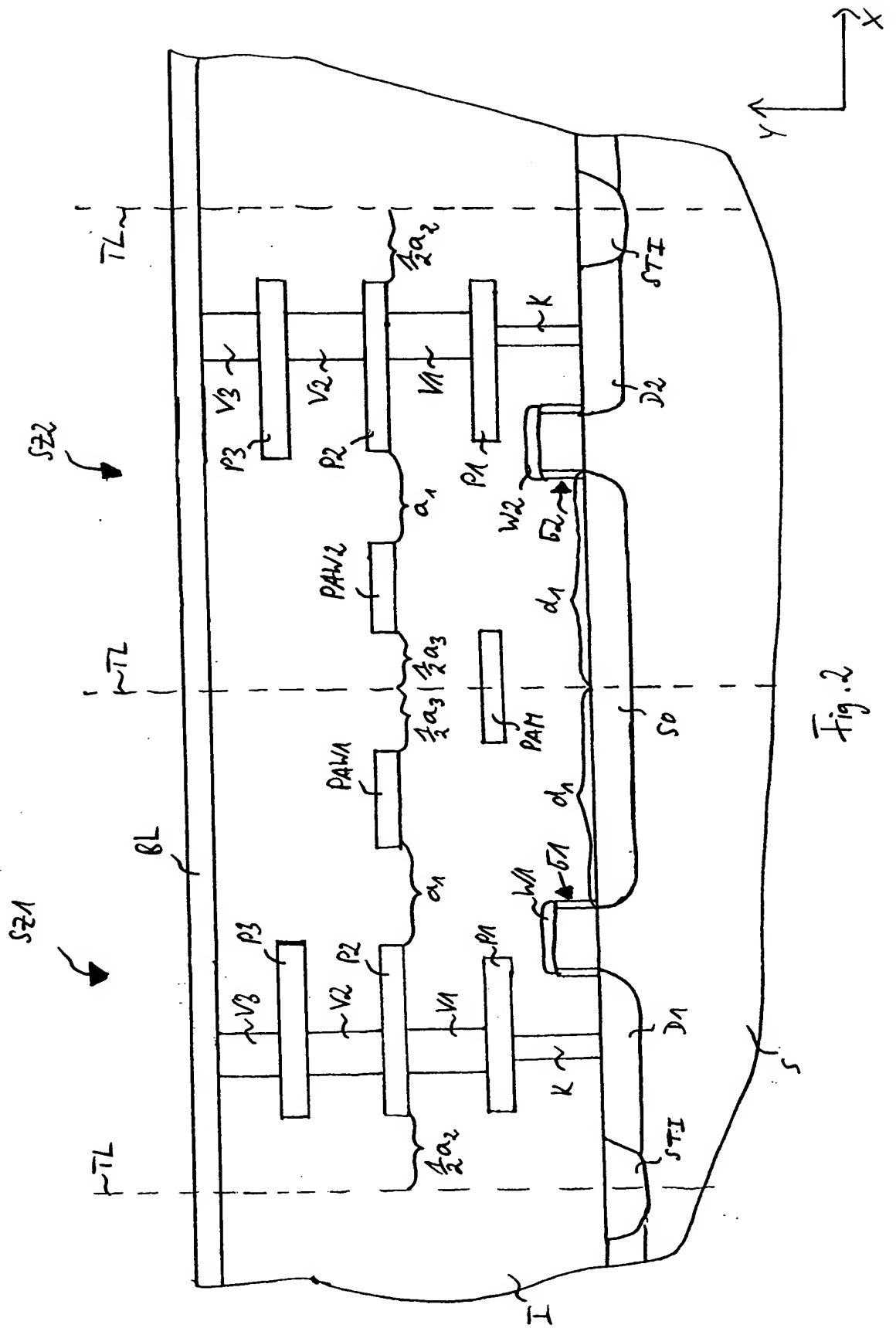


Fig. 1



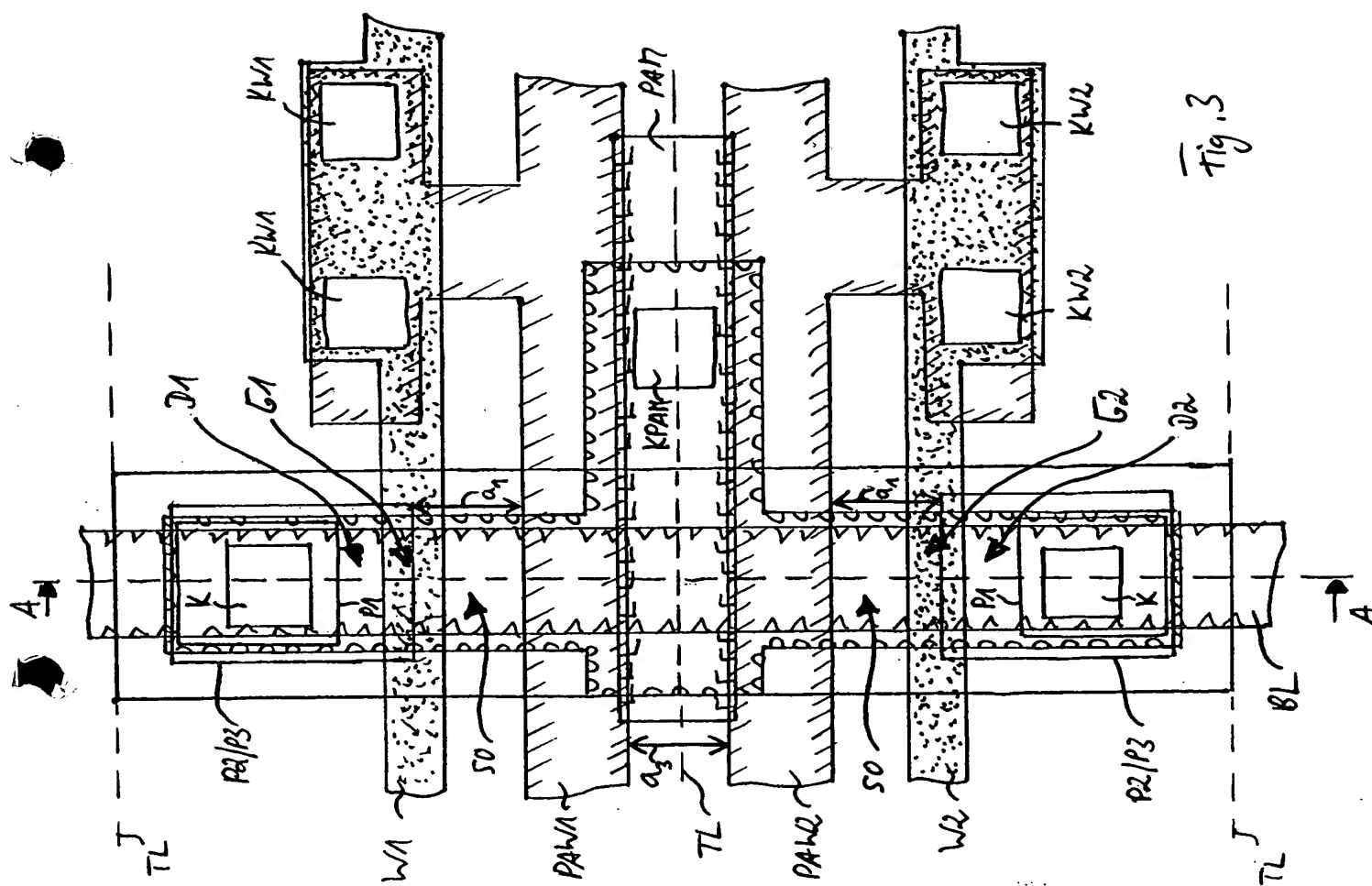


Fig. 3.

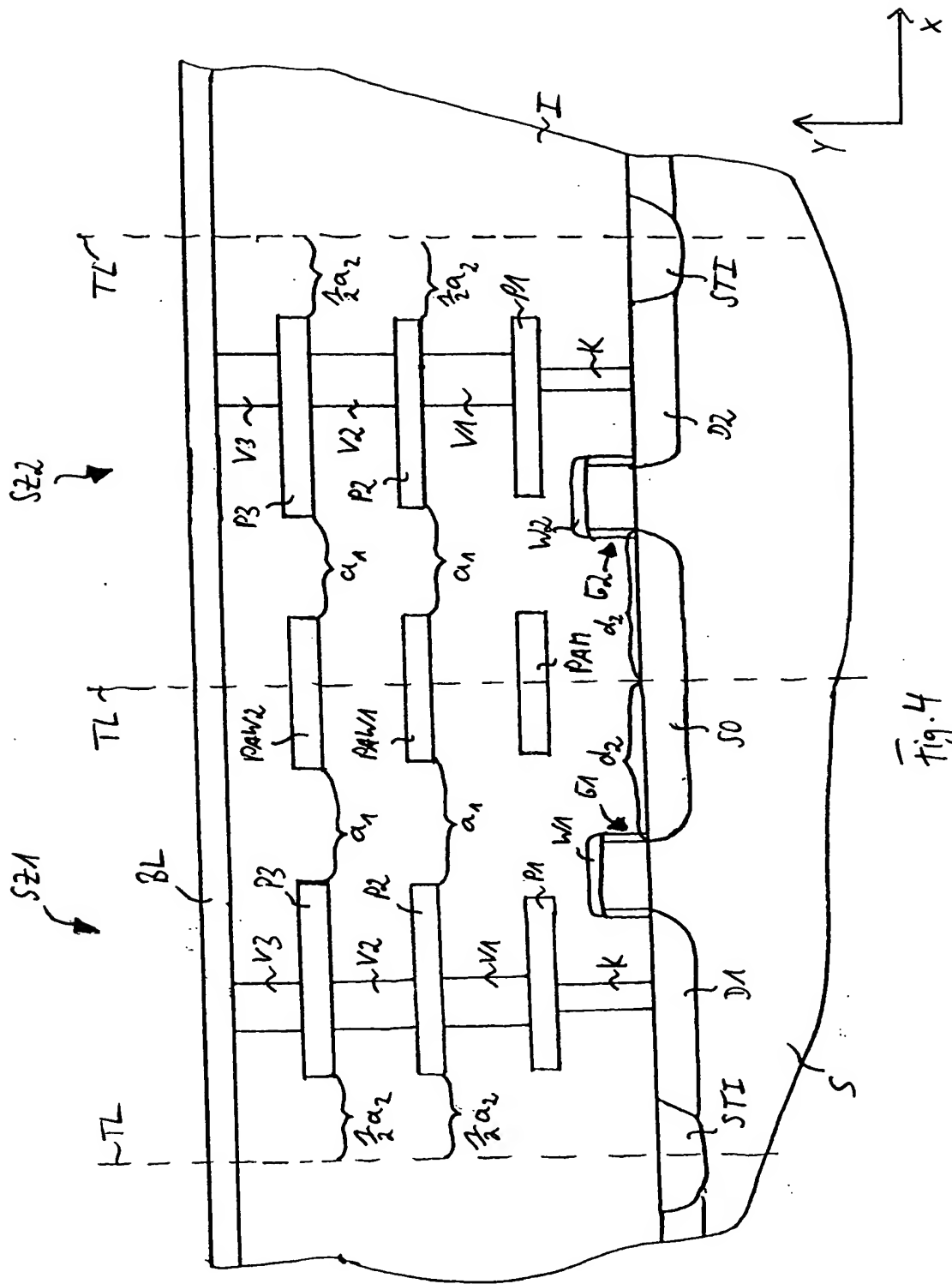


Fig. 4

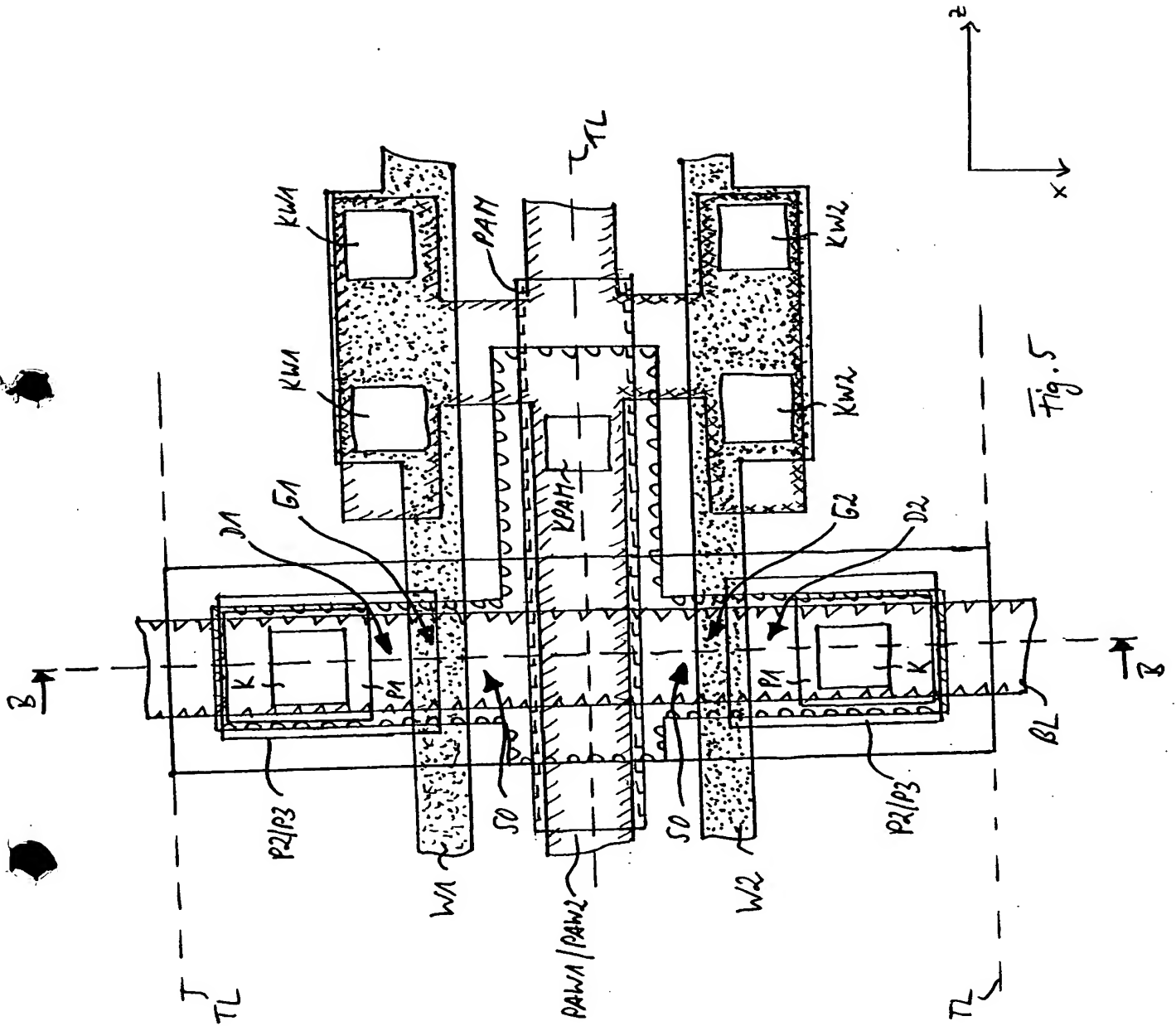


Fig. 5